

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330250

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

H01L 21/28  
H01L 21/3065

(21)Application number : 07-136726

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.06.1995

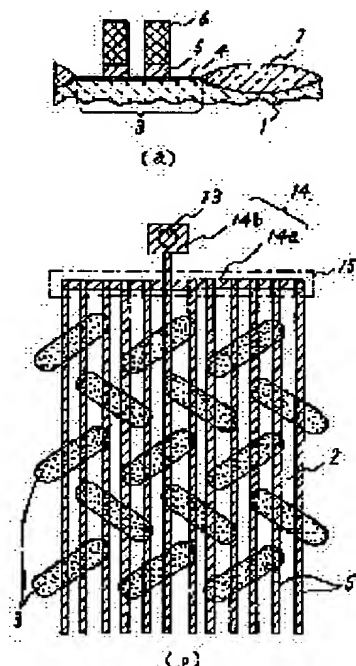
(72)Inventor : OGINO MASARU  
MARUYAMA TAKAHIRO  
MIYATAKE HIROSHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To provide a highly reliable semiconductor device by preventing the electrification of charge by plasma dry etching.

CONSTITUTION: A gate insulator film 4 and LOCOS oxide films 2 to serve as an element insulator film and a dummy insulator film are made on a substrate 1, and then a contact hole 13 is made in the dummy insulator film of the LOCOS oxide film 2. Then, a polysilicon film is accumulated, and a resist pattern is made by lithography technique, and by plasma etching, a dummy wiring 14a to which one end of each gate wiring 5 is connected, and a dummy region 14b connected to this dummy wiring 14a are made together with a gate wiring 5. At this time, the dummy wiring 14b is connected with the substrate 1 through a contact hole 13. Then, the dummy wiring 14a is etched off, and the the substrate 1 and each gate wiring 5 are isolated.



## LEGAL STATUS

[Date of request for examination]

07.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330250

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28			H 0 1 L 21/28	F
21/3065			21/302	M

審査請求 未請求 請求項の数5 O L (全 9 頁)

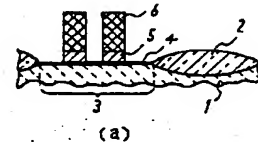
(21) 出願番号	特願平7-136726	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成7年(1995)6月2日	(72) 発明者	荻野 賢 伊丹市瑞原4丁目1番地 三菱電機株式会 社ユー・エル・エス・アイ開発研究所内
		(72) 発明者	丸山 隆弘 伊丹市瑞原4丁目1番地 三菱電機株式会 社ユー・エル・エス・アイ開発研究所内
		(72) 発明者	宮武 浩 伊丹市瑞原4丁目1番地 三菱電機株式会 社ユー・エル・エス・アイ開発研究所内
		(74) 代理人	弁理士 高田 守 (外4名)

## (54) 【発明の名称】 半導体装置の製造方法

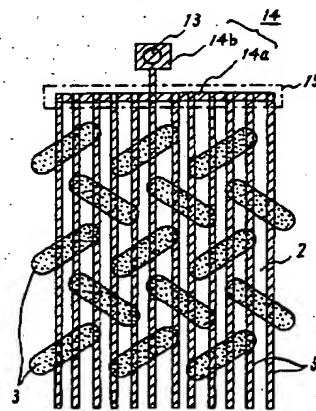
## (57) 【要約】

【目的】 プラズマドライエッチングにより電荷の帯電を防ぎ、高信頼性の半導体装置を得る。

【構成】 基板1上にゲート絶縁体膜4、素子分離絶縁体膜およびダミー絶縁体膜になるLOCOS酸化膜2を形成した後、LOCOS酸化膜2のダミー絶縁体膜にコンタクトホール13を形成する。その後、ポリシリコン膜を堆積し、リソグラフィ技術によってレジストパターンを形成し、プラズマドライエッチングにより、ゲート配線5とともに、各ゲート配線5の一端を接続するダミー配線14aと、このダミー配線14aと接続されたダミー領域14bを形成する。このとき、ダミー領域14bは、コンタクトホール13を介して、基板1と接続されている。その後、ダミー配線14aをエッチングにより除去し、基板1および各ゲート配線5を孤立させる。



(a)



(b)

1: 基板、2: LOCOS酸化膜、4: ゲート絶縁体膜  
5: ゲート配線、13: コンタクトホール、14a: ダミー配線  
14b: ダミー領域、15: エッチング領域

## 【特許請求の範囲】

【請求項1】 プロセス中に帯電電荷による電界によって破壊の恐れのある薄い膜厚の領域を有する絶縁体膜を介して半導体または導電体上に形成された導電体膜をプラズマドライエッチングにより所定パターンにエッチング加工する半導体装置の製造方法において、上記絶縁体膜を形成し、この導電体膜をプラズマドライエッチングによりエッチングし、上記所定パターンとこの所定パターンと電気的に接続し、上記半導体または導電体とコンタクトホールを介して電気的に接続するダミーパターンとを同時に形成した後、上記所定パターンと上記ダミーパターンとを電気的に切り離すことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に素子分離絶縁体膜およびゲート絶縁体膜およびダミー絶縁体膜を形成する工程と、ダミー絶縁体膜に半導体基板にまで到達するコンタクトホールを形成した後、上記ゲート絶縁体膜および素子分離絶縁体膜およびダミー絶縁体膜上に導電体膜を堆積する工程と、プラズマドライエッチングによりこの導電体膜をエッチングし、ゲート配線と、上記ダミー絶縁体膜のコンタクトホールを介して半導体基板と電気的に接続されるとともに、上記ゲート配線と電気的に接続されるダミーパターンとを同時に形成する工程と、上記ゲート配線と上記ダミーパターンとの間を電気的に切り離す工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項3】 半導体または導電体上に導電体膜からなるキャパシタの下部電極とダミー下部電極とを形成する工程と、上記キャパシタの下部電極およびダミー下部電極上を覆うようにキャパシタ絶縁体膜を形成する工程と、上記ダミー下部電極上のキャパシタ絶縁体膜にコンタクトホールを形成する工程と、このコンタクトホールを有するキャパシタ絶縁体膜上に導電体膜を堆積した後、プラズマドライエッチングにより、この導電体膜をエッチングし、キャパシタの上部電極と、このキャパシタの上部電極と電気的に接続されるとともに、上記コンタクトホールをへて上記半導体または導電体と電気的に接続されるダミー上部電極とを形成する工程と、このダミー上部電極とキャパシタの上部電極との間を、電気的に切り離す工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項4】 プラズマドライエッチング時に正イオンとともに電子も充分通過することのできる大きさの開口部を有するマスクを形成し、プラズマドライエッチングによりこの開口部に対する導電体膜をエッチングすることによって、所定パターンとダミーパターン、またはゲート配線とダミーパターンまたはキャパシタの上部電極とダミー上部電極とを電気的に切り離すことを特徴とする請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 半導体基板上にゲート絶縁体膜を形成する工程と、このゲート絶縁体膜に開口部を形成する工程と、この開口部を有するゲート絶縁体膜上に導電体膜を堆積した後、上記ゲート絶縁体膜上およびゲート絶縁体膜の開口部の半導体基板上に、プラズマドライエッチングにより上記導電体膜をエッチングしてゲート配線を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、プラズマドライエッチングによるチャージアップダメージを低減させることができる半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】従来よりプラズマドライエッチングによる半導体装置の製造工程において、電荷の蓄積による電氣的ストレスにより、半導体素子がダメージを受け、耐圧不良や信頼性劣化が発生することが指摘されていた。つまり、絶縁体膜上に形成された導電体膜をプラズマドライエッチング法によりエッチングする過程で導電体膜がオーバーエッチングされる際に絶縁体膜に電界が印加されることによって、この絶縁体膜が静電的なストレスによるダメージを受けるためである。

【0003】絶縁体膜上の導電体膜をプラズマドライエッチング法によりエッチングする工程は、半導体装置の製造過程において多くの工程でみられるが、ここではゲート配線とキャパシタ電極の製造工程について説明する。

【0004】図4は従来の半導体装置におけるゲート配線のエッチング過程を示す断面図および上面図である。この図において、1はシリコン等の半導体からなる基板、2は素子を分離するためにこの基板1上に形成された二酸化シリコン等の絶縁体膜からなる素子分離絶縁体膜であるLOCOS酸化膜、3は基板1のこのLOCOS酸化膜2が形成された領域以外の実際素子として用いられる島状の活性化領域、4はこの活性化領域3に形成され、例えば膜厚約5～15nmの二酸化シリコン等の絶縁体膜からなるゲート絶縁体膜、5はこのゲート絶縁体膜4上に形成され、例えば膜厚約50～200nmのポリシリコン等の導電体膜からなるゲート配線、6はこのゲート配線5上に形成され、ゲート配線5のエッチング時に用いられるレジストパターンである。

【0005】以下、ゲート配線5の形成方法について簡単に説明する。まず、基板1上にLOCOS酸化法（局所酸化法）により、LOCOS酸化膜2を形成した後、活性化領域3に熱酸化法によりゲート絶縁体膜4を形成する。次に、CVD法により基板1上にポリシリコン膜を全面に堆積した後、リソグラフィ技術によって、ゲート配線5となる部分が残るようにレジストパターン6を形成し、このレジストパターン6をマスクとして、プ

ラズマドライエッチングである反応性イオンエッチング法（以下、RIEと称す）によって、ポリシリコン膜をエッチングした後、レジストパターン6を除去することによって、ゲート配線5が形成される。

【0006】次に、RIEによってゲート配線5を形成する過程について詳細に説明する。RIE装置中において、プラズマ中の荷電粒子はランダムに運動しているが、基板1の近傍では、基板1の垂直方向に電界が発生しているため、正イオンはこの電界領域に入ると、その影響を受け、基板1の垂直方向に加速され大きな速度成分を持つようになり、異方性エッチングが行われることとなる。

【0007】一方、電子は、電界によって基板1の垂直方向に減少し、速度成分は小さくなり、電子は狭いパターン底まで入射することができず、電子の多くがレジストにトラップされ、正イオンのみがパターンの底まで入り込むこととなる。

【0008】また、ポリシリコン膜の膜厚のばらつき等の原因で、ゲート配線5間にポリシリコン膜が残存し、ゲート配線5間がショートすることを防ぐため、RIEはオーバーエッチングされることとなるが、このオーバーエッチング中、つまりゲート配線5間にゲート絶縁体膜4が露出した状態においては、各ゲート配線5が孤立するため、正の電荷がゲート配線5に蓄積されることとなり、ゲート配線5と基板1間に電位差が発生し、高い電界がゲート絶縁体膜4に印加されることとなる。従って、ゲート絶縁体膜4に静電的なストレスが印加され、ゲート絶縁体膜4がダメージを受け、耐圧劣化等が生じ、半導体素子として不良が発生することとなる。

【0009】次に、従来の半導体装置のスタック型キャパシタ電極の製造方法について説明する。図5は従来の半導体装置のスタック型キャパシタ電極のエッチング過程を示す断面図である。この図において、7は基板1上に形成された膜厚約600～1000nmの二酸化シリコン等の絶縁体膜からなる層間絶縁体膜、8はこの層間絶縁体膜7に形成された開口部であるコンタクトホールである。

【0010】9は層間絶縁体膜7上に形成され、コンタクトホール8を介して基板1と電気的に接続された例えば膜厚約50.0～700nmのポリシリコン膜等の導電体膜からなるキャパシタの下部電極、10はこの下部電極9上に形成された例えば膜厚約6～10nmの窒化シリコン等の絶縁体膜からなるキャパシタ絶縁体膜、11は下部電極9上にキャパシタ絶縁体膜10を介して形成され、例えば膜厚約150～300nmのポリシリコン膜等の導電体膜からなるキャパシタの上部電極で、数万個の下部電極9に対して1つの上部電極11が形成される。12は上部電極11上に形成され、この上部電極11のエッチング時に用いられるレジストパターンである。

【0011】以下、キャパシタ電極の形成方法について説明する。まず、基板1上にCVD法により二酸化シリコン膜を堆積し、層間絶縁体膜7を形成した後、層間絶縁体膜7上にリソグラフィ技術を用いてコンタクトホール8となる領域が開口部となるレジストパターンを形成した後、RIEによりコンタクトホール8を形成する。次に、CVD法によりポリシリコン膜を堆積した後、リソグラフィ技術を用いてコンタクトホール8を覆う下部電極9形状のレジストマスクを形成した後、RIEによりコンタクトホール8上にポリシリコン膜からなる下部電極8を形成する。

【0012】次に、CVD法により窒化シリコン膜を堆積し、キャパシタ絶縁体膜10を形成した後、CVD法によりポリシリコン膜を堆積し、リソグラフィ技術を用いて、上部電極11形状のレジストパターン12を形成した後、RIEによりポリシリコン膜を上部電極11の形状にエッチング加工した後、レジストパターン12を除去し、キャパシタ電極が完成する。

【0013】上述した上部電極11のRIEによるエッチング過程においても、ゲート配線5と同様に、オーバーエッチング中に上部電極11に正の電荷が蓄積されることとなり、下部電極8との間に電位差が発生し、高い電界がキャパシタ絶縁体膜10に印加されることとなり、キャパシタ絶縁体膜10に静電的なストレスが印加され、キャパシタ絶縁体膜10がダメージを受け、耐圧劣化などの半導体素子としての不良が発生することになる。

#### 【0014】

【発明が解決しようとする課題】上述したように、半導体または導電体上に薄い絶縁体膜を介して形成された導電体膜をプラズマドライエッチングによって、エッチング加工する過程において、上記絶縁体膜を介して形成される半導体または導電体と導電体膜との間に不可避免的に電位差が発生することになり、絶縁体膜に電気的なストレスが加わり、耐圧劣化等の絶縁体膜の信頼性が低下することとなる。従って、半導体装置としての信頼性が低下するという課題があった。

【0015】本発明は係る課題を解決するためになされたもので、プラズマドライエッチングによる電荷の帯電を防ぎ、半導体装置の信頼性を向上することができる半導体装置の製造方法を提供することを目的とする。

#### 【0016】

【課題を解決するための手段】本発明の請求項1記載の半導体装置の製造方法においては、プロセス中に帯電電荷による電界によって破壊の恐れのある薄い膜厚の領域を有する絶縁体膜を介して半導体または導電体上に形成された導電体膜をプラズマドライエッチングにより所定パターンにエッチング加工する半導体装置の製造方法において、上記絶縁体膜を形成し、この導電体膜をプラズマドライエッチングによりエッチングし、上記所定パタ

ーンとこの所定パターンと電氣的に接続し、上記半導体または導電体とコンタクトホールを介して電氣的に接続するダミーパターンとを同時に形成した後、上記所定パターンと上記ダミーパターンとを電氣的に切り離すことを特徴とするものである。

【0017】本発明の請求項2記載の半導体装置の製造方法においては、半導体基板上に素子分離絶縁体膜およびゲート絶縁体膜およびダミー絶縁体膜を形成する工程と、ダミー絶縁体膜に半導体基板にまで到達するコンタクトホールを形成した後、上記ゲート絶縁体膜および素子分離絶縁体膜およびダミー絶縁体膜上に導電体膜を堆積する工程と、プラズマドライエッチングによりこの導電体膜をエッチングし、ゲート配線と、上記ダミー絶縁体膜のコンタクトホールを介して半導体基板と電氣的に接続されるとともに、上記ゲート配線と電氣的に接続されるダミーパターンとを同時に形成する工程と、上記ゲート配線と上記ダミーパターンとの間を電氣的に切り離す工程とを備えたことを特徴とするものである。

【0018】本発明の請求項3記載の半導体装置の製造方法においては、半導体または導電体上に導電体膜からなるキャパシタの下部電極とダミー下部電極とを形成する工程と、上記キャパシタの下部電極およびダミー下部電極上に覆うようにキャパシタ絶縁体膜を形成する工程と、上記ダミー下部電極上のキャパシタ絶縁体膜にコンタクトホールを形成する工程と、このコンタクトホールを有するキャパシタ絶縁体膜上に導電体膜を堆積した後、プラズマドライエッチングにより、この導電体膜をエッチングし、キャパシタの上部電極と、このキャパシタの上部電極と電氣的に接続されるとともに、上記コンタクトホールをへて上記半導体または導電体と電氣的に接続されるダミー上部電極とを形成する工程と、このダミー上部電極とキャパシタの上部電極との間を、電氣的に切り離す工程とを備えたことを特徴とするものである。

【0019】本発明の請求項4記載の半導体装置の製造方法においては、プラズマドライエッチング時に正イオンとともに電子も充分通過することのできる大きさの開口部を有するマスクを形成し、プラズマドライエッチングによりこの開口部に対する導電体膜をエッチングすることによって、所定パターンとダミーパターン、またはゲート配線とダミーパターンまたはキャパシタの上部電極とダミー上部電極とを電氣的に切り離すことを特徴とするものである。

【0020】本発明の請求項5記載の半導体装置の製造方法においては、半導体基板上にゲート絶縁体膜を形成する工程と、このゲート絶縁体膜に開口部を形成する工程と、この開口部を有するゲート絶縁体膜上に導電体膜を堆積した後、上記ゲート絶縁体膜上およびゲート絶縁体膜の開口部の半導体基板上に、プラズマドライエッチングにより上記導電体膜をエッチングしてゲート配線を

形成する工程とを備えたことを特徴とするものである。

【0021】

【作用】本発明の請求項1記載の半導体装置の製造方法においては、半導体または導電体上の絶縁体膜にコンタクトホールを形成した後、この絶縁体膜上に導電体膜を形成し、プラズマドライエッチングによりこの導電体膜をエッチングし、所定パターンと、この所定パターンと電氣的に接続され、上記半導体または導電体とコンタクトホールを介して電氣的に接続されるダミーパターンとを同時に形成する。従って、このプラズマドライエッチングによって、所定パターンに帯電した電荷は、ダミーパターンを通じて、絶縁体膜下の半導体または導電体に逃げるため、この半導体または導電体と、絶縁体膜を介して形成された所定パターン間に電位差が生じず、絶縁体膜に電界が印加されることもないので、絶縁体膜のダメージを防ぐことができる。

【0022】さらに、その後所定パターンとダミーパターンとを切り離すことによって、所定パターン自身の機能を損することはない。

【0023】本発明の請求項2記載の半導体装置の製造方法においては、半導体基板上にゲート絶縁体膜を介して形成された導電体膜をプラズマドライエッチングによりエッチングする工程で、ゲート配線と電氣的に接続されるとともに、半導体基板とダミー絶縁体膜に形成されたコンタクトホールを介して電氣的に接続されるダミーパターンをゲート配線とともに形成する。従って、このプラズマドライエッチング中にゲート配線に帯電した電荷は、ダミーパターンを通じて半導体基板に逃げるため、半導体基板とゲート絶縁体膜を介して形成されたゲート配線間に電位差が生じることがなく、ゲート絶縁体膜に電界が印加されることもないので、ゲート絶縁体膜のダメージを防ぐことができる。

【0024】さらに、その後ゲート配線とダミーパターンとを切り離すことによって、ゲート配線自身の機能を損することはない。

【0025】本発明の請求項3記載の半導体装置の製造方法においては、プラズマドライエッチングにより導電体膜をエッチングし、キャパシタの上部電極を形成する工程において、キャパシタの上部電極と、このキャパシタの上部電極と電氣的に接続されるとともに、キャパシタの絶縁体膜を介してダミー下部電極と電氣的に接続されるダミー上部電極を形成することによって、プラズマドライエッチングによりキャパシタの上部電極に帯電した電荷は、ダミー上部電極およびダミー下部電極を通じて半導体基板に逃げるため、キャパシタの上部電極およびキャパシタの下部電極間に電位差が生じることがなく、ゲート絶縁体膜に電界が印加されることもないため、キャパシタ絶縁体膜のダメージを防ぐことができる。

【0026】さらに、その後キャパシタの上部電極とダ

ミー上部電極とを電氣的に切り離すことによって、キャパシタ電極の機能を損することはない。

【0027】本発明の請求項4記載の半導体装置の製造方法においては、正イオンとともに電子も充分通過できる大きさの開口部を有するマスクを用いて、プラズマエッチングによりこの開口部の導電体膜をエッチングすることにより、電荷を帯電させることなく所定パターンとダミーパターン、またはゲート配線とダミーパターン、またはキャパシタの上部電極とダミー上部電極とが切り離される。

【0028】本発明の請求項5記載の半導体装置の製造方法においては、半導体基板上のゲート絶縁体膜に開口部を形成し、プラズマドライエッチングにより導電体膜をエッチングし、ゲート絶縁体膜上にゲート配線を形成する工程で、上記ゲート絶縁体膜の開口部の半導体基板の露出した面にもゲート配線を形成することによって、プラズマドライエッチングによりゲート絶縁体膜上のゲート配線に正の電荷が帯電しても、ゲート絶縁体膜の開口部における半導体基板にも正の電荷が帯電することとなるため、半導体基板とゲート配線間に電位差が生じることがなく、ゲート絶縁体膜に電界が印加されることもないため、ゲート絶縁体膜のダメージを防ぐことができる。

【0029】

#### 【実施例】

実施例1. 以下、本発明の一実施例の半導体装置の製造方法について説明する。図1は本発明の一実施例の半導体装置におけるゲート配線のエッチング過程を示す断面図および上面図である。この図において、従来例と同一符号は同一のものを示す。また、13はこの実施例ではLOCOS酸化膜2の一部に形成されたダミー絶縁体膜に形成され、基板1にまで到達するコンタクトホール、14はゲート配線5形成工程中に形成され、複数のゲート配線5と基板1とをコンタクトホール13をへて、電氣的に接続するためのダミーパターンで、複数のゲート配線5の一端部を接続するダミー配線14aとコンタクトホール13を介してダミー配線14aと基板1とを電氣的に接続するためのダミー領域14bとから構成される。15はこのダミーパターン14とゲート配線5とを切り離すためのレジストパターンの開口部となるエッチング領域である。

【0030】次に、ゲート配線5の形成方法について説明する。ゲート絶縁体膜4を形成するまでの工程は、従来の技術で説明した工程と全く同一であるので、ここでは省略し、それ以後の工程について詳細に説明する。ゲート絶縁体膜4、素子分離絶縁体膜およびダミー絶縁体膜となるLOCOS酸化膜2の上にリソグラフィ技術によって、コンタクトホール13部分が開口部となるレジストパターンを形成した後、RIEによりダミー絶縁体膜をエッチングし、このレジストパターンを除去する

ことによりダミー絶縁体膜にコンタクトホール13が形成される。

【0031】次に、ゲート絶縁体膜4およびLOCOS酸化膜2上にゲート配線5となるポリシリコン膜をCVD法により堆積した後、リソグラフィ技術により、ゲート配線5とダミーパターン14部分が残るようにレジストパターン6を形成し、このレジストパターン6をマスクとして、プラズマドライエッチングであるRIEによって、ポリシリコン膜をエッチングした後、レジストパターン6を除去し、ゲート配線5およびダミーパターン14が形成される。

【0032】このダミーパターン14は、ゲート配線5の一端をダミー配線14aによって接続し、このダミー配線14aと接続するダミー領域14bによってコンタクトホール13を介してゲート配線5と基板1とを電氣的に接続させるような構成となっている。従って、RIEによるエッチングの際に、ゲート配線5とともにダミーパターン14をエッチングすることによって、ゲート配線5がダミーパターン14を介して基板1と電氣的に接続されているので、電子は狭いパターン底まで入射することができず、電子の多くがレジストパターンにトラップされ、正イオンのみがパターンの底まで入り込むこととなり、正の電荷がゲート配線5に帯電しても、ゲート配線5の正の電荷は、ダミーパターン14を通じて基板1に逃げるため、ゲート配線5と基板1間に電位差が生じず、ゲート絶縁体膜4に電界が印加されることはない。従って、ゲート絶縁体膜4が損傷することはない。

【0033】次に、リソグラフィ技術によって、図1(b)中のエッチング領域15が開口部となるレジストパターンを形成した後、RIEによってエッチング領域15のポリシリコン膜をエッチングし、ゲート配線5とダミーパターン14とを切り離し、ゲート配線5間の接続および基板1との接続を断ち、ゲート配線5が完成する。

【0034】ここで、上述したダミーパターン14とゲート配線5との切断工程にRIEを用いるが、エッチング領域15が例えば $10\mu\text{m} \times 200\mu\text{m}$ と非常に大きいため、正イオンとともに電子も充分入り込むため、オーバーエッチング中にチャージアップが生じることはない。

【0035】上述したように、ゲート配線5とダミーパターン14とを同時にRIEによってエッチングすることにより、ゲート配線5の正の電荷をダミーパターン14を介して基板1に逃がすことによって、ゲート絶縁体膜4に静電気のストレスが印加されることがなく、耐圧劣化の発生やダメージの発生を防ぎ、半導体素子として不良が発生することを避けることができる。

【0036】さらに、ゲート配線5とダミーパターン14とを切り離すことによってゲート配線5としての機能を損することはない。



【0037】ところで、上述した実施例においては、ゲート配線5の一端をダミー配線14aで接続し、このダミー配線14aと接続されるダミー領域14bによって基板1と接続させているが、各ゲート配線5毎に基板1と接続したダミーパターン14を形成してもよいことは言うまでもない。

【0038】実施例2. 図2は本発明の実施例2の半導体装置におけるキャパシタ電極の製造方法を示す製造工程断面図である。図において、16は素子が形成される領域以外の領域にキャパシタの下部電極9と同時に形成されるダミーパターンであるダミー下部電極で、このダミー下部電極16は基板1を介して下部電極9と電気的に接続されている。17はダミー下部電極16上のキャパシタ絶縁体膜10に形成されたコンタクトホール、18はこのコンタクトホール17を形成するためのレジストパターン、19は上部電極11と同時に形成され、上部電極11と電気的に接続されるとともにコンタクトホール17を介してダミー下部電極16と電気的に接続されたダミー上部電極、20はダミー上部電極19が接続した状態で上部電極11をエッチングするためのレジストパターン、21は上部電極11とダミー上部電極19とを切り離すための開口部を有するレジストパターンである。

【0039】次に、キャパシタ電極の形成方法について説明する。基板1上にCVD法により二酸化シリコン膜を堆積し、層間絶縁体膜7を形成した後、層間絶縁体膜7上にリソグラフィ技術を用いてコンタクトホール8となる領域が開口部となるレジストパターンを形成した後、RIEによりコンタクトホールを形成する。このとき、下部電極9に隣接してダミー下部電極16が形成されるためのコンタクトホール8をも形成する。

【0040】次に、CVD法によりポリシリコン膜を堆積した後、リソグラフィ技術を用いて所望領域を覆うマスクを形成した後、RIEによりポリシリコン膜をダミー下部電極16とともに、下部電極9の形状にエッチング加工する。

【0041】次に、図2(a)に示されるように、CVD法により窒化シリコン膜を堆積し、キャパシタ絶縁体膜10を形成した後、リソグラフィ技術を用いてダミー下部電極16上が開口部となるレジストマスクを形成し、RIEによりキャパシタ絶縁体膜10をエッチングし、キャパシタ絶縁体膜10にコンタクトホール17を形成する。その後、CVD法によりポリシリコン膜を堆積し、リソグラフィ技術により上部電極11とともにキャパシタ絶縁体膜10のコンタクトホール16上にダミー上部電極19が残存するようなレジストパターンを形成する。

【0042】次に、図2(b)に示されるように、RIEによりポリシリコン膜を上部電極11とダミー上部電極19が接続された形状にエッチングする。このエッチ

ング過程において、上部電極11とともにこの上部電極11と接続したダミー上部電極19をエッチングすることによって、上部電極11の電荷は、ダミー上部電極19およびコンタクトホール17を介してダミー下部電極16を通じて、基板1に逃げるため、キャパシタの上部電極11と下部電極9間に電位差が生じることがなく、キャパシタ絶縁体膜10に電界が印加されることがなく、キャパシタ絶縁体膜10が損傷することはない。

【0043】最後に、図2(c)に示されるように、リソグラフィ技術により上部電極11とダミー上部電極19間が幅2 $\mu$ m以上の開口部となるレジストパターン21を形成し、RIEによってエッチングすることによって上部電極11とダミー上部電極19間を切り離し、上部電極11のみをデバイスとして使用する。

【0044】上述したように、上部電極11とダミー上部電極19との切り離し幅を約2 $\mu$ m以上とすることによって、パターンの底まで正イオンとともに電子も充分にとどくためRIEによる上部電極11への電荷の帯電を防ぐことができる。

【0045】上述した実施例においては、ゲート絶縁体膜4およびキャパシタ絶縁体膜10の損傷を防ぐ例について説明したが、これに限らず、プロセス中に帯電電荷による電界によって破壊の恐れのある薄い絶縁体膜を介して形成された導電体膜をプラズマエッチングによって、狭ピッチのパターンを形成する工程において、同様の方法を用いることができる。

【0046】実施例3. 図3は本発明の実施例3である半導体装置におけるゲート配線の形成方法を説明するための製造工程断面図である。この図において、22はゲート絶縁体膜4に形成された、例えば約1チップ分の大きさ約1.5 $\times$ 1.5cmの開口部、23はこの開口部22を形成するためにゲート絶縁体膜4上に形成されたレジストパターンである。また、24はゲート配線5を形成するための導電体膜であるポリシリコン膜である。

【0047】実施例3のゲート配線の形成方法と従来の技術と異なる点は、ゲート絶縁体膜4を形成した後、リソグラフィ技術にて約1チップ分の開口部となるレジストパターン23を形成し、RIEによってゲート絶縁体膜4をエッチングし、ゲート絶縁体膜4に1チップ分の大きさの開口部22を形成した点であって、ゲート絶縁体膜4の開口部22を形成した後の工程は、従来の技術にて説明したものと全く同様の方法にて、ゲート配線5を形成する。このとき、ゲート絶縁体膜4の開口部22、つまり露出した基板1上にもゲート配線5を形成する。

【0048】このように、ゲート絶縁体膜4の開口部22の露出した基板1上にゲート配線5を形成することによって、ポリシリコン膜24をRIEによってゲート配線5にエッチングする工程において、オーバーエッチング中に従来の技術にて述べたようにゲート配線5に正の



電荷が帯電しても、同様にゲート絶縁体膜4の開口部22を通して基板1も正の電荷が帯電するとともに、ゲート絶縁体膜4の開口部22の基板1上に形成されたゲート配線5に帯電した正の電荷も基板1に流れる。従って、ゲート配線5と基板1との間に電位差が生じず、ゲート絶縁体膜4に電界が印加されず、ゲート絶縁体膜4が損傷することはない。

【0049】従って、この実施例のゲート配線の形成方法においては、ゲート絶縁体膜4の耐圧劣化やダメージの発生を抑制することができるため、半導体装置の不良発生を防ぎ、歩留まりが向上するとともに、半導体装置の信頼性を向上させることができる。

【0050】

【発明の効果】本発明の請求項1記載の半導体装置の製造方法においては、半導体または導電体上に絶縁体膜を介して形成された導電体膜をプラズマドライエッチングによりエッチングし、所定パターンを形成する工程で、所定パターンとともにこの所定パターンと電氣的に接続され、半導体または導電体と電氣的に接続されるダミーパターンをエッチングにより形成することによって、所定パターンと半導体または導電体間に電位差が生じず、所定パターンと半導体または導電体間の絶縁体膜に電界が印加されることがないため絶縁体膜のダメージを防ぐことができる。さらに、その後所定パターンとダミーパターンとを電氣的に切り離すことによって、所定パターンの機能を損することはなく、半導体装置の信頼性が向上するという効果を有する。

【0051】本発明の請求項2記載の半導体装置の製造方法においては、半導体基板上にゲート絶縁体膜を介して形成された導電体膜をプラズマドライエッチングによりエッチングし、ゲート配線とする工程で、ゲート配線とともに、このゲート配線と電氣的に接続されるとともに、半導体基板と電氣的に接続されるダミーパターンをエッチングにより形成することによって、ゲート配線と半導体基板との間に電位差が生じず、ゲート絶縁体膜に電界が印加されることがないため、ゲート絶縁体膜へのダメージを防ぐことができる。さらに、その後ゲート配線とダミーパターンとを電氣的に切り離すことによって、ゲート配線の機能を損することなく、半導体装置の信頼性が向上するという効果を有する。

【0052】また、本発明の請求項3記載の半導体装置の製造方法においては、半導体または導電体上に形成されたキャパシタの下部電極とダミー下部電極上にキャパシタ絶縁体膜を介して形成された導電体膜をプラズマドライエッチングによりエッチングして、キャパシタの上部電極とする工程で、キャパシタの上部電極とともに、このキャパシタの上部電極と電氣的に接続されるととも

に、ダミー下部電極を介して上記半導体または導電体と電氣的に接続されるダミー上部電極をエッチングにより形成することによって、キャパシタの上部電極と下部電極との間に電位差が生じず、キャパシタ絶縁体膜に電界が印加されることがないため、キャパシタ絶縁体膜へのダメージを防ぐことができる。さらに、その後、キャパシタの上部電極とダミー上部電極とを電氣的に切り離すことによって、キャパシタ電極の機能を損することなく、半導体装置の信頼性が向上するという効果を有する。

【0053】本発明の請求項4記載の半導体装置の製造方法においては、正イオンとともに電子も充分通過できる開口部を有するマスクを用いてプラズマエッチングによってこの開口部に対する導電体膜をエッチングすることによって、電荷を帯電させることなく、所定パターンとダミーパターン、またはゲート配線とダミーパターン、またはキャパシタ上部電極とダミーパターンを切り離すことができるという効果を有する。

【0054】また本発明の請求項5記載の半導体装置の製造方法においては、ゲート絶縁体膜に開口部を形成し、プラズマドライエッチングによりゲート絶縁体膜上の導電体膜をエッチングして、ゲート配線を形成する工程でゲート絶縁体膜の開口部の半導体基板の露出した面にも同時にゲート配線を形成することによって、ゲート配線とともに、半導体基板にも電荷が帯電するため、ゲート配線と半導体基板間に電位差が生じず、ゲート絶縁体膜に電荷が印加されないため、ゲート絶縁体膜のダメージを防ぐことができ、半導体装置の信頼性が向上するという効果を有する。

【図面の簡単な説明】

【図1】 本発明の実施例1である半導体装置の製造方法を説明するための断面図および上面図である。

【図2】 本発明の実施例2である半導体装置の製造方法を示す製造工程断面図である。

【図3】 本発明の実施例3である半導体装置の製造方法を示す製造工程断面図である。

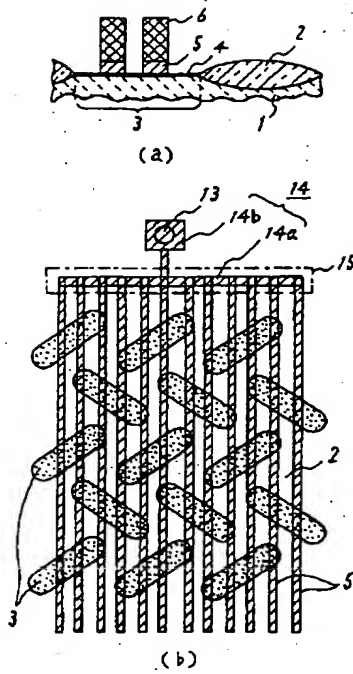
【図4】 従来の半導体装置の製造方法を説明するための断面図である。

【図5】 従来の他の半導体装置の製造方法を説明するための断面図である。

【符号の説明】

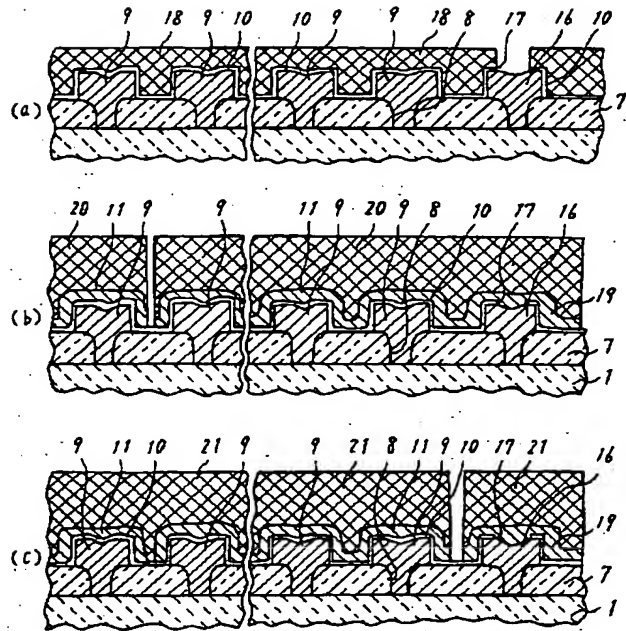
1 基板、2 LOCOS酸化膜、4 ゲート絶縁体膜、5 ゲート配線、9 下部電極、10 キャパシタ絶縁体膜、11 上部電極、13 コンタクトホール、14a ダミー配線、14b ダミー領域、15 エッチング領域、16 ダミー下部電極、17 コンタクトホール、19 ダミー上部電極、22 開口部。

【図1】



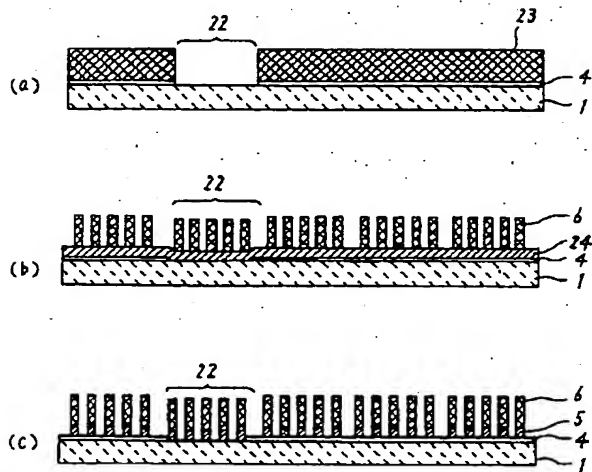
1:基板、2:LOCOS酸化膜、4:ゲート絶縁体膜  
5:ゲート配線、13:コンタクトホール、14a:ダミー配線  
14b:ダミー領域、15:エッチング領域

【図2】



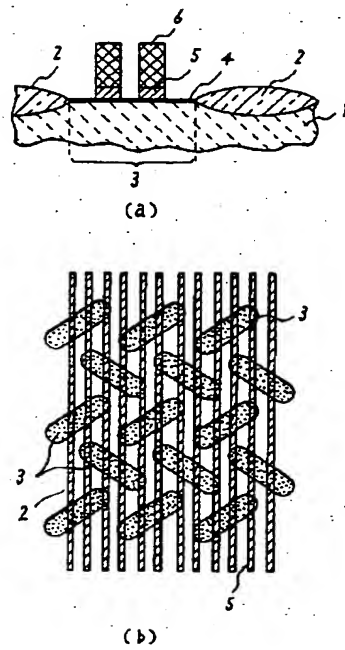
9:下部電極、10:キャパシタ絶縁体膜、11:上部電極  
15:ダミー下部電極、16:コンタクトホール、19:ダミー上部電極

【図3】



22:開口部

【図4】



【図5】

